# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-162450

(43) Date of publication of application: 07.06.2002

(51)Int.CI.

G01R 31/316 H03M 1/10

(21)Application number: 2000-356724

(71)Applicant: MITSUBISHI ELECTRIC CORP

RYODEN SEMICONDUCTOR SYST

**ENG CORP** 

(22)Date of filing:

22.11.2000

(72)Inventor: MORI OSANARI

YAMADA SHINJI

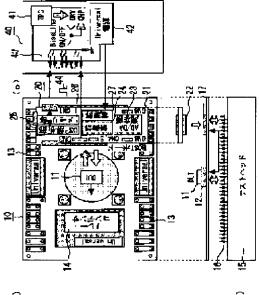
**FUNAKURA TERUHIKO** 

# (54) TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT, AND TEST METHOD OF THE SEMICONDUCTOR INTEGRATED CIRCUIT

# (57)Abstract:

PROBLEM TO BE SOLVED: To provide a testing device of a semiconductor integrated circuit, capable of executing a test of an A/D conversion circuit and a D/A conversion circuit highly accurately at high speed concerning the mixed signal type semiconductor integrated circuit, having the A/D conversion circuit and the D/A conversion circuit.

SOLUTION: A test auxiliary device is installed near a test circuit board, on which the semiconductor integrated circuit to be tested is installed. The test auxiliary device is provided with a data circuit for giving an analog test signal to the A/D conversion circuit of the semiconductor integrated circuit to be tested and a digital test signal to the D/A conversion circuit thereof: a measurement data memory for storing a test output from the semiconductor integrated circuit to be tested; and an analysis part for analyzing the stored data in the measurement data memory.



3

3

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision

of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

#### (19)日本国特許庁 (JP)

# (12) 公開特許公報(A)

(11)特許出願公開番号 特開2002-162450

(P2002-162450A)

(43)公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl.7	識別記号	FΙ	テーマコート <b>゙(参考)</b>
G01R 31/3	16	H 0 3 M 1/10	C 2G032
H 0 3 M 1/1	0		D 5 J 0 2 2
		G 0 1 R 31/28	С

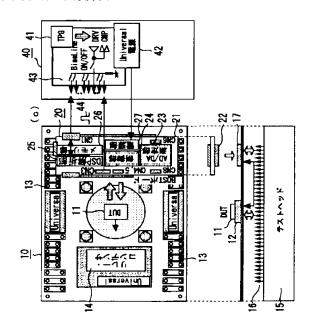
		審查請求	未請求 請求項の数18 OL (全 15 頁)	
(21)出願番号	特顧2000-356724(P2000-356724)	(71)出顧人		
(22)出顧日	平成12年11月22日(2000.11.22)	三菱電機株式会社 東京都千代田区丸の内二丁目2番3号		
		(71)出顧人		
			菱電セミコンダクタシステムエンジニアリ	
			ング株式会社	
			兵庫県伊丹市瑞原4丁目1番地	
		(72)発明者	森 長也	
			兵庫県伊丹市瑞原四丁目1番地 菱電セミ	
			コンダクタシステムエンジニアリング株式	
			会社内	
		(74)代理人	100082175	
			弁理士 高田 守 (外3名)	
			最終頁に続く	

# (54) 【発明の名称】 半導体集積回路の試験装置および半導体集積回路の試験方法

# (57)【要約】

【課題】 A/D変換回路とD/A変換回路を有するミ ックス・ド・レグナルタイプの半導体集積回路につい て、A/D変換回路とD/A変換回路の試験を、高精度 に、高速で行うことのできる半導体集積回路の試験装置 を提案する。

【解決手段】 被試験半導体集積回路を搭載したテスト 回路基板の近傍に、テスト補助装置を設け、このテスト 補助装置には、被試験半導体集積回路のA/D変換回路 にアナログ試験信号を、そのD/A変換回路にデジタル 試験信号を与えるデータ回路と、被試験半導体集積回路 からの試験出力を記憶する測定データメモリと、この測 定データメモリの記憶データを分析する解析部を設け



#### 【特許請求の範囲】

【請求項1】 アナロブ信号をデジタル信号に変換する A. (1) 変換回路とデジタル信号をプサログ信号に変換す ろロ 「A 芝麻田路を含んだ被試験 H導体集積団路り信号 つつに取りを行うように構造されたセクト回路基板、こ つって、国路基核の経済で配置されぞれに接続されたで 1、補助製置。おより問題により補助製置に接続された 試験機を備え、前記サスト補助装置は、デジタの試験信 号车配生上等前記被試験中導体集積可路(D)。A 受權則 斃に供給するデータ回路と、このデータ回路がG.Coff。C マル試験信令をアナロで試験信号に変換して前記被試験 市簿は集積回路のA。 D 受機回路に供給が予試験用力。 A妥換回路人。前記被試驗中導体集積回路件D。A交極 同路 ひつせい 医試験出力を示し タル試験出力に変換する 試験用A。「D変換回路と一面記被試験半導体集積回路」。 A。D 変換回路がデータ、アル試験出力と前品試験用A 」「白芝桝同路にデ」「タル試験出力を記憶する測定データ チェー・ | 直記測定サータチモーに記憶された単記巻デ 「生小試験出力を解析する解析部とも有)。 耐記試験機 134、互指示法基本的可能配合的原因 試験信号的审記不由。 ログ試験信号を被試験主導体集権回路に与く、前記測で ガータメチリに記憶された音が、タン試験出力を前記解 析部によって解析した解析結果を、重記試験機に与える 1 年に構成された主導体集積回路の試験装置。

【請求項で】 前記+導体集種回路(中導体集種回路手 いてをモール) (樹脂で響いこのモール) 樹脂、豆 複数 ( 端子を導出したモール) 塩1 (として構成され、B 記さ 1) 回路基板がこのモール (型1) を装着するスケット を有する諸土項1記載の土準体集種回路の試験装置。

【講れ項3】 前記平導体集積回路の中導体のエスに含まれており、前記タフト回路基板には前記平導体集積回路にロ、タフトする複数のでは、一つ設けられている請求項1記載の平導体集積回路の試験多間。

【語土項4】 前記、スト補助装置(前記誤解用)。A 変換回路と前記試験用A。 D変換回器と前記測定プース イモンと前記解析回路とを搭載したとフト補助基材をも たている請求項工記載の中導体集積回路の試験装置。

【講の項の】 前記サフト補助基準の前記サフト回覧基 板上のプケットに挿入されるようになされた請求項す記 載の中導体集積回路の試験装置。

【諸共填り】 前記・2 上補助基準 分前記 \*\*\* 1 回路基 板に積載されている諸大項4 紀載の土準体集積回館の試 聴製機

【請土項で】 前記でと上補助装置が直記でで上回鈴基 収しに直接組付けられている請比項1、ごまたはは記載 の生績体集種回路で試験装置。

【請求項3】 前記試験用A。D後極回終わした前記被 試験主導体集積回路のA。D後換回路がデジタル試験出 力を出力する毎に進め信号を出力し、これに基づき、前 記データ回路からのデデタル試験信号が進み、また測定 データメモリのアドレフが進められる請求項王記載の主 導体集積回路の試験装置

【請け頃9】 自己被試験の資本集積回路のA、10後機 回路はデジュンは駒出りを出たける毎に単記試験機の進め信号を活りし、この進と信号に基づき、前記の一平回 筋のようで、ドキ試験信号の進み、また測定データデー のでドンプロ進められる請け項上記載のお導体集積回 路の試験書館。

### 【轮朗四部语言编辑】

# [000]

【厳密主の利用の野】この発明にい導体集種用格の試験 装置、時にアナロで信号をデジタと信号に変換するA。 D 受機用筋・デジタと信号をデナロブ信号に変換する D 「A 受機同路とを含む化生導体集積同路の試験装置に 関連多もつである。

#### [0002]

【定案 円板件】この主導体集積回路の試験装置はマッケ と呼ばれる。近年、機能的に、アッチ担合れた複数回路 セプレーに「構成されて、「ア、チーバ主導体集積回路 コーナードトト」によれては複数回路のそれぞれのチープ を組み合われると、アケムトトーにおいて、高性能、高程度 ケード、ケーの路とアナログ回路を組み合わせた混合に「「・ケッ・ド・」アナルが、た急速に進くですが、これのイン事件集積回路に対する試験装置デーカケイトで、これのイン事件集積回路に対策装置デーカケイトで、ア・ド・、アナルに主導体集積回路に対応でインタケーを表し、ア・ド・、アナルに主導体集積回路に対応でインタケーを表し、ア・ド・、アナルに主導体集積回路に対応でインタケーを表し、ア・ド・、アナルに主導体集積回路に対応でインタケーを提供されている。

【0003】しかま、このシャクス・ロ・アグナル化主導体集権回路に対応するゲクタはその高性能仕様に対応するため、装置や高価格化する傾向にあり、そのようなお現のながで、既存の低速、低精度の「例えばロジッツ」としなりに用いられたデクタを再利用して、ゲノクの高価格化を避ける動きも出てきている。

【0004】からら試験装置でのためた課題が一元。タス信号をアナロで信号に変換するD。A変換回路と、アナロで信号をデデタス信号に変換するA。D変換回路と試験でもり。これらい高精度化に存む。これらの変換回路を含くだが原体集積回路に対する試験装置を如何に供価格でよ現するかを課題となっている。

【0005】一般的なデアタと試験環境では、デアタ内部の測定場間が、被試験主導体集積回路(DUIT)につまていまた経営には、DUIT回路基材(DUIT)であった。アープルなどのデスタとDUIT回接統治場所後数を存在、デアの関連発路主長いたが、アデアを生、測定構度供下の原因となり、また後数とDUITを同時に試験するようなできまり種である。また、例述デアダでは、その速度の制度にデー集使用速度での試験が子可能な点、最度試験での試験時間の増大が懸念される。

【0006】特開平1-316024号公報には、テス

ト回路のD。「A変換部への人力データにより指定された アド・スに変換データを収納するための記憶素でき設 け、D。「A変換したアサロで信号をA(D変換器に入力 し、エー出した記憶素子に順次格納し、エチョハリデー タに対して変換が終了すると記憶素子に格納した変換データを順送して全に近り込み、サロタで人とデータし変 機ポータとを順送し続いにするとの3程案されている

# [0008]

【発明の解析しようとより課題】この発明によりの課題 を改善し、病速度でします発精度の制定をよら安価におっ20 現できる主導体集積回路の試験設置を提案するものです。 も、

【0000】またこりを埋は高速度でにから高端度に測定を実現し、併せて複数り主導体集積回路に対する試験を信仰に行ってきのできる主導体集積回路の試験装置を投資するものである。

# [0010]

【課題を輸出するために手段】こと発明により40億体集 種回路に試験装置は、アナログ信号をデデタル信号に変 機中のA、D変換回路とディタル信号をアナロで信号に 支換ですり、A変換回路を含んた被試験半導体集積回路 と信号のでり取らさ行うように構成されたケツ、回路基 板、エリザン!同路基板の組修に配置されそかに接続さ **かたデス:補助装置、および前記デスト補助装置に接続** された試験機を備立、回記サフト補助装置は、ゲータル 試験信号を発生して前記被試験半導は集積回路のD。A 後換回路に供給するが、夕回路と、このが一々回路から のデジタル試験信号をアナロで試験信号に変換して前記 被試験平導体集積回路のA。D変換回路に供給する試験 用D。A度換回路と「前記被試験半導体集積回路のD」ご A便換回路がらのアナログ試験出力をデジタル試験出力 に復梱する試験用A。D変換回路と、前記被試験半導体 集積回路のA。「D変換回路だらのデジタル試験出力と前 記試験用A。D変換回路のイデタル試験出力を記憶する 測定が、ダイナート。前記測算データイモコに記憶され た前記音で、マル試験出力を解析する解析部とそんじ 前記試験機といて指示に基づいて前記がジタム試験信号 とアサコブ試験信号を被試験主導体集積回路になる。前 記測定データメモコに記憶された各ゴニタル試験出力を 前記解析部によって解析した解析結果を、前記試験機に

好えでように構成されたものである。

【0011】またこの発明による主導体集積回路の試験 装置は、前記主導体集積回路が半導体集積回路をサインを サールを樹脂で覆いてローセール上樹脂の高複数で陽子を 専出したモールで型したでして構成され、前記パイト同 緊張板がこのサールで割したを装着するメケーにを有す くちつである。

【りの12】またこの発明によう予導体集権回路で決験 装置は、前記予導体集権回路が予導体でユニに含まれて まり、前記デス、回路基板には前記半導体集権回路につ 、タフトエモ複数のでロープ分散であれたまりである。

【 0 0 1 3 】またてい発明による主導体集権回路の試験 接翼は、前記・ド・補助装置が前記試験用D。A 変極回 路と前記試験用A。D 変換回路と前記測定でいて、モニ 上前記解析回路とを搭載したテフト補助基根を有するも にでをで、

【0014】またこのを無により中導体集積回路の試験 装置は、前にデア、補助基板が前記テアト回路基板上で ニケートに種点されままうになられたものである。

【0015】またこの発助により中導体集権回路の試験 装置は、前記サフ、補助基板が前記チット回覧基板に積 載されていくものである。

【0016】またこり発明による中導体集構回路と試験 装置は、前記デスト補助装置が前記テスト回路基板上に 直接組むに引わたもつである。

【0017】またこのを明による主導体集構同路の観察装置は、前記試験用入。10度機同路および前記域試験主導体集積回路の入。10度機同路の所述タル試験出力を出力する毎に進さ信号を出力し、これに基づき、前記がデタ同路に対してがデタル試験信号が進み、また測定データフモニのアドにアル進められるものである。

【 0 0 1 8 】 きゃにこの発用による半導体集積回路の試験設置は、前に被誘験半導体集積回路のA。1 変換回路がデータス減解化力を化力する毎に前記試験機が進めたサを化力し、この進め信号に基づき、前記パータ回路がいのデジタス試験信号が進み、また測定データメキリのデジタス進められます。C 5 5 5。

#### [0 0 1 9]

【実施の刑態】実施の開整1 図1はこの発明による中 適体集積回路の試験接置に実施の刑態1の構成をかけり である。(a)目はアフト回路基板(DUTザー1)部 分の法面図。(b)目はその側面図。(c)図は試験機 デデニタ)部分の構成図である。

【0020】 ての実施の升態1の試験装置は、サイト同 路基板(DUTカトリ) 10、サフト補助装置(BOS 工装置) 20、及い試験機(デスタ) 403 備をでし 点。

【0021】… (\*) 回給基め10は、この実施の形態1では、被試験 中導体集積回路(DUT)11として、モールド型10を対象とするものである。モールド型10

6

は手導体集積回路(IC)チャブをモールド樹脂で覆い、モールド樹脂から複数の場子を導出したものである。このDUT11のII チャブは、例にはワンチャブの「ックス・ド・シアナ、型」フェムしゃ1であり、1つのチープAで模器と「アウェーではサケーデアン信号に変換するDIAで模器とでからである。DUT11・しては、優勢のチャブを共通の回路基度上に集積した。ラフィ・デ・、アウェ型の混成集積回路(パ・デ・・ドリーによりませまることができる。

【0022】 アイ、河路県板10は披試験の導体集構図路(DUIF)1102端子を挿たすりDUIF(セー・12年年)で行っ、その間にご多数に接続端子10年では、用のサン・・コンデ、中部14を観覚したものである。

【 0 0 2 3 】 \*\*\*\* 1 回路 馬板 1 0 か 7 約, 2(ま) \*\*\*\* \*\*\* \*\* \*\*\* \*\*\* \*\* \*\* \*\*\* \*\* \*\*\* \*\* \*\*\* \*\* \*\*\*

【0024】 作力・補助装置(BOST装置)とのは年 オキ同窓基板100速停に配置される。この実施の折應 1では、サラナ補助装置とのはサフト補助基板と1 : B OSTボーバシ21±に構成され、このBOSTボーバ 21はDFでかっパ10分割に搭載される。DUIコナー に10のまたは、そのためのでか、117が測定されて おり、BOSTボード21はこのでか、117に種力さ れらのスプクととを下面に有し、こののネグタととを かった17に種力して、DUIのサード10点に支援さ れったのでかった17を経てかりまっ。ド15との信号 のそのとの流行われる。

【 0 0 2 5 】 B O S 1 ポード2 1 は、BILLT-0FF-8BF-FF-FS 7 階格 であり、これはテスタ4 0 に依存せず。D U 工内部で自己・アド (B 1 S T - BCID IN SELF-TEST) を坦きディト回居を補助するD U T 外部試験補助装置 7 基板できり、A D 、「D A 測定部2 5 、制御部2 4 、D S 上解析部2 5 。メモニ部2 6 、電路部2 7 を存しまり。多。

【0026】でアタ40はボニリンターン発生器(IPG)41、電源部42、デンルレクトロニクニ部43を有し、BOS 1 ホート21 に対して、電源電圧V3を生給し、BOS 1 ホート21 との間でBOS 1 制御信号4 4を必らともする。この制御信号4 4には、デクタ4のから BOS 下がっ F21 DUTナードトロハの指令に号がにでなる。BOS 1 ボード21 からディタ4 ロから BOS 1 ボード21 トラカきれるディ 解析権の。コードなどは動御に受す4は、ディトフロデラスに記述されたディトに含ったの情景を作に基づき、ディタ4 0 に円蔵されたディト・ジーン発生器4 1 により、他のDUT 1 1 のディトシーン発生器4 1 により、他のDUT 1 1 のディトと同様に、ティト・ターン信号として発生させ、複数

つ信号人田カボンを備えたデスタ40のビンエレクトロールで343を通して BOS Tボーデ21、DUTボーデ10に供信される。 ターBOS Tボーデ21、DUTボーデ10に供信される。 ターBOS Tボーデ21に発展は、サフタ40のデ、エレン、コロンス部43に通りは、サフタ40のデ、エレン、コロンス部43の料定部にで、ラフィニター、信号との比較。10定に基づき、その信用情報を取り込む。

【00世8】BOS上が一丁と1は、DUT110A。「D受機同路51に対してアナロで試験信号を供給する試験用D。「A受機同路61。」DUT11かD。A受機同路52。2000年ロで試験用力を受けなる試験用力に受機する試験用力。「D受機同路62を有し、さらにDAC人力で一夕回路(DACクロ、タ)63。一一を書きてみ間側回路64。即定で一タフルでは、クロ、タの5。間定で一クブモニ66。基準2ローク回路67、プロークを生回路68、及びDSP解析部69を有す。「DSP解析部69はDSPプログラスROM70を有して、2

【0029】総験用り、「A 復換回路6.1 - 総験用A、「D 変換回路6.2 、D.A.C. たりサータ回絡6.3 ・データ書き でお開劇回路6.4 - 脚上のニタデモ・アド、タカウ、タ 6.5 は 「4.1 のり、「A、A、D 脚泥器2.3 に含まれてお り、測定がニタイモリ6.6 はメモリ部2.6 に、またD.S. D 解析器6.9 はD.S.上解析部2.5 に含まれている。

【10030】試験用いて、タル試験信号(デリーデー・ ?)(はDACZ:カデータ回路ものご響流されており、た メタ4 0 1 Got 指金に基づいた。このDAC人がベータ 回路もさからいテアナが、2は、Dピエエコプロ/「A変 機同路32とBOSTボーT21件試験用D。/ A変換回 路り1とに供給される。D。A度換回路も1に供給され たびことの試験信号 デャストデータ) はアサロツ試験信 号に変換されて、DUTITOA。D変換回路51に供 給され、このDUTITIOA。D変換回路を上です。2年 少謝験出りに変換され、測定が、アイモニららに供給さ れる。一方。DAC人力デーク回路も3750直接DUT 110円。 A 変換回路 5 2 に供給された デデタス試験信 号は、D. A復換回版30つですって試験出力に変換さ れ、これがB O トエはトードコエの健康用力。D 変換回路 らじによりがデタン試験出力に変換され、測定データイ ボールらに供給されて、測定がデタブルでもらば、これ らCODI TITICA、D受機回路でTho 供給されるデ ジャル試験出力と、DデA変換回路30からA。D変換 回路りごを経て供給されるデジタル試験出力とを、順次 生められたアドレドに記憶する。

【0031】DUI11のA/D変換回路51 FOS Tボード21のA 「D変換回路62は、順次アナログ信号をデデタル信号に変換する。 1 つのサデタン信号を 発生すり毎にゼレッド信息をそれぞれ出たする。これで つEUSY信号は、ともにBOSITード21Eのデー と書き込み制御回路り4に無益される。アード書き込み 制御回路り4は、他給されたBUSY信号に基づき。D AC たりデータ回路りのログデタルドストデーををデー と単位毎に次とデデタにデータをデー と単位毎に次とデディアント・サウンドレラに通過速が、また 制定が、タメモニりりにアンドラを順次進かるように作の する。

【0002】 このに「は、おけらり信号により、DAC人のの、2回路の3では、わけまして変換されるが、 スカープをデータのカードの進められ、また測定等。タッチ・60では、わりしして受換されたデジタル試験 出力を記憶するアンに、2回順の進められる信息、DUT しまでは、A、D変換回路31、D、Aの機回路32に おいづ真次試験によっ要な変換の進められ、その変換された の制定等。タン制定が、タッチであるに対点に適合されて い、以降は、おのターケーに21つDを上解析部もり で改定された最終カードになるまで、変換タフーの進め いれ、その結果が測定が一クタモでもらにすって記憶されて、

【ロロ33】 :: 温DUTT11 / A 。D 変換回路5 1 。D 「A 変換回路のとによる変換試験の終了後」 BOSI# ~ コンキュのわらせ解析部もりはわられてはできぬれら Mでのに記憶されたではこうよを用いて、測定データメ チョルルに記憶されている変換が、2を順次誘み出し 契換特性の解析を行う。この解析は、A、D 変換特性。 ラン・アーD。A要換特性/ラディータ、微分直線性/積 分邦直線性誤遊などの算出を含み、解析店男(Pass 『Fai1情報』 8/BOSIナート2116 サフタ40 に逆信され、デスタ40でアスト結果処理が行けめる。 【0.03.4】 実施の折触1 (243) で、BOSI が…ド2 1300 いもがっこ1 070近後に配置され、わじて1 170。 A. D.変換回路31。D. A.変換回路300変換試験を 行う機能を備えているので、これ変換試験はBOS1# ・・ドロコ かて実行されたのといわを表しての結果。 Dピコ プライエのとBのSIボー アンエ関ハア(から 光測定式 7 - 40) 1、金無罐でき、イナツによる測定調整力を生を流分の と「抑制し、高精度の試験をお現てき、併せてわり工す ・・ドキャミその延俸の8081 だっ じょ1間の容易のや。 モデトに基づき、より高速度で試験を行うできるでき。 1. BOSTのトピ21トリッタ40との間は、アテル 当測欠子 グイーシなー エミニ といてき (試験精度の)向止 :バビられづ、またBOSチボード21円で、心寒な変極 試解な終了して、デッタ40にはその結果を送信するの で、俊極デードをディタ40に正信するものに比べ、試 験速度の向上を打ることができる。

【0035】生施の所態1において、DUT11のA/D変換回路51 D、A変換回路52の変換試験機能がE08Tが一に21 では配置されるので、デッタ40にはそのためのためのできた機能を付加するよ数なからでである。これためデッタ40に高価格化を防ぎ、発表に低速のデッタを流用することも可能となる。なお、特別な測定機能を持ったが、クタ40を製作する場合、ではタノ、一ドウェア構成による機能拡張に対して出来があり、またデックな中での遺を住めていたが、開発ロストラ毎勝でもお行わりを3、実施の生態1によれば、一般的なサッタに標準的に装備されているできます。「2一、発生器」でして、デュニュニュを利用するので、各種デッタは株・制的に影響を受ければわららします。「2一、各種デッタは株・制的に影響を受ければわららします。」と、機成、組織が可能である。各種デッタの適用が可能となる。

【0036】集施の折触2 図3はこの発明による生態体集種回路の試験装置が高速さ升極2つ10月上部分をはま期面目であり、この実施の升極2では、実施の折絶1つ8の810年ま21つり以下す。2100年間に積載されている。こと実施の肝脏2寸、セール主型上導体集積回路が10以下す。110以外の機器42で試験される。その人、10支換器41つり、入受機器42で試験される。

【0037】日2において、DUTが一下1000年出版には、DOSTが一下21万歳優され、この転置部分で両ず一下間の核熱が61を使いて40、サフト・・・サ15上の間で19号の中のという行われる。会4、BOSTが一下20日の構成。以引力に同じてあり、同路構成は同2、高さてある。

【0038】集施()升 態は、15.4 はこり発明による4)簿 体集構问题的試験裝置 包封起 0升能37010011部分6構 成をかず。(a)目はBOSITード21Aの配額に (6) 屋はおの8年1月は、これが前げ、(6) 同は10 U 1 # -- F L O A C 圧衝に (一) 同はそれに が側面回 である。この実施の別態はでは、ウエン状態の半導体集 横回路が試験対象(DUT)として用いられる。DUT だート10Aでロープカードであり、円形に構成され。 その中心部の主面にウェイエトAに対する多数でプロー プ30を有する。このDUITがHPIOAの正式は、接 続構体316分して、BOSI、Tトホートコ2が配置 され、このBOST。 エドボートスピーにはつネッタス 3が取り付けられていて、BOS年装置20を構成する BOSTはデート21Aも円形に構成され、これBOST ボード21八日前には、実施の制態エリ同様の「AD」 DA測定部23 制御部24 イモ・部26 DSP解 析部25、及び電源部27分配置されている。

【0039】実施で所能はの電気回路中構成は「実施の 無態1の同じさしまであり、でローデ30をでエハ11 Aのチーで担り部分の多数の端子に接触させて「実施の 無態1き同様で記聴が行われる。ウエー11Aのチーン 相当部分を順にずらし、四次隣接するチップ相当部分の 試験が上地する。

【0040】 実施の刊態4、図5はこの登明によう半導体集構回路の試験装置の実施の形態4のDUT部立名示し、国施の形態4では、国施の形態はにおいて、BOSIT - Fでして0Aが省略され、またBOST - Fでデード1、7、極続機体10年省略され、BOSTを置じ0を構成であるが、DA測定部21、用復部22、ステー部24、DST解析部23、電流部25元にで、プローで30全様。たりに15で、プローで30全様、たりに15かる。

【0041】10(海地の角地40回島構成)は明蛇の舟地 1つ月21周1であり、同村に1でDUI11AのAが D受極回路31、D、A変極回路32の試験がである。 3。

【0043】東庭の無態の「野らはこの発明によりま績体集積回路の誤聴装置の実施の無態のの回隔構成を定すでは、2円である。この実施の形態のでは、DULLLのA、D契模原路の1がBUS等信勢を発生しないタイプであり、これたが、デスタ40からよりではサイルの研究を進める動作し、測定ボータスチリののファンスを進める動作を行われる。たお、BOSTがある。ため、DVを開始的とはBUS等信号を発生するように構成できるので、このBUS等信号はよりのでは、ため、ToCBではサインを開始して、このBUS等信号はよりである。

【0044】この実施の乗駆さばれても、デアタ40 たいBOST装置このに送信されるトリカ信号で4はデ 、タム信号であり、デアタ40とBOST装置このとの 間に、アナダイ装響を受けてすいですので信号をも追加 するものではなり、実施の北渡1、同様に、試験の高特 度化、高速化を図ることができる。

#### [0045]

【発明の効果】はよのようにこの発明は、デー、回路基板の連停に配置されたデス上補助装置は、データ回路。試験用り、A 変換回路、試験用A、D 変換回路。間にデータメモー、およびD S P 解析部へ設け、このデスト補助設置により、被試験主導体集積回路のA、D 変換回路には、FD、A 変換回路の試験を行うようにななまのであり、A ごD 変換回路・D / A 変換回路を含してデーデア・ド・アプナルライブの生満体集積回路の試験を一高精度に一高速に行うことができ、作せて試験装置の代価格化を図ることができて。

【0046】またテスト回路基板にモールド10を装着 50

するこかットを装備したものでは、モールドタイプの主導体集積回路のA、D変換回路。D/A変換回路の試験を容易に行っていってきまたでローブを装備した。アート開発基例を用いませば、ウエー状態で同样の試験を容易に行ってしたできる。

【0047】また。アト補助関係が、データ回紇上試験用D。A及極回紇上試験用A。D交換回窓、制定のデタメデーとDをP解析部を搭載したデア上補助基板上に集中しまででは、アニー補助坡置をデア上補助基板上に集中して構成して装置が簡単化を回うことができ、またそのデアー補助基板とデアト回路基板のデケーとに挿入される。そのではその組み立てを簡単化でき、またそのデア上補助基板をデアー回路基板に精齢でわば、装置をより簡単化できる。

【0048】またテスト補助装置をデート回路基板主が 直接組み付けてもいては、装置の構成を一層簡単句でき で

【① 9 4 9】また誤解用A。《D·愛極问路よ 1 等物試験中 漢体集構回給、A。D·夏極问路。(4) 進め化、歩き発生する その、試験機会の進め信号を発生するものでは、進めむ 受によってが、原々は試験信号を進め、また制定が一々を モーロのでしてを進めなから時出的な試験を行うできる。 できる。

# 【目前の簡単な説明】

【日1】 ことを明によく主導体集積回路の試験設置が 実施の所態(かか)、(a)目はDU 「部分で上面II」 (r)目はそと集面II。(c)目は試験機の構成目。

【同じ】 (集施の制態10回路構成を定けてローツ目)。

【国コ】 こり発明による主導体集積回路の試験装置の (実施の研制:2010月17日都令が側面隔)

【日4】 この短期による中導体集種回避の鉄験製機の 実施の折極さかでも、(a)目はBOS1が一つの上面 国。(b)国はBOS1 - I F が一十の上面区。(c) 国はDU 1 が一つの上面図。(d)国はそれらが側面 国。

【日5】 こり発明による中華体集積回路の試験装置り (実施の形態はつり以下部分を正し、(a) 図はその側面 [日、(i)] 図はた面目、

【同り】 こりを明による事業体集権同路の試験装置り (国施の所態の) 同路構成を示けては、2回。

# 【符号の説明】

1 O 1 O A デスト回路基板 (DUIナード)

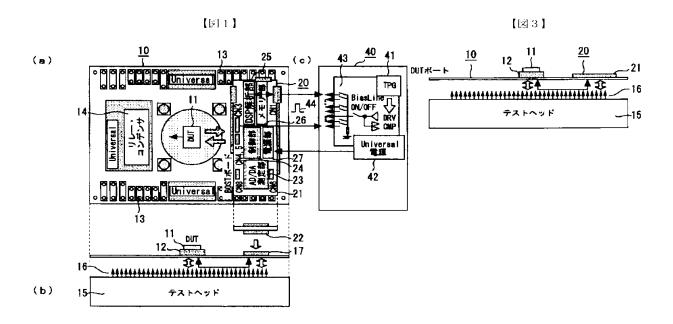
1-1-1-1A 被試験丰/傳体集積同路(DUT)

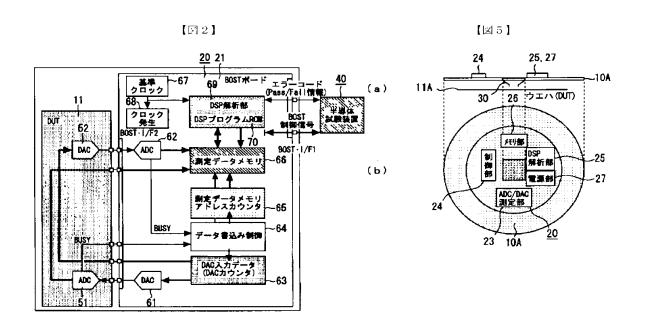
2.0 - 2.7 : 補助装置 [BOST装置] - - - - 2.1 - 2. 1.A - 2.2 : 補助基板 (BOSTボーデ ) - - - 4.0 :

試験機(アフタ) 5.1 被試験半導体集積回路の A、D変換回路 5.2 被試験主導体集積回路のD

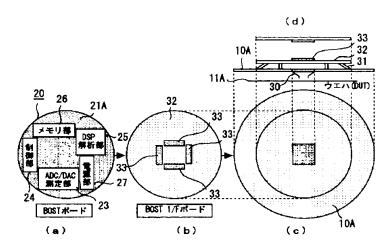
「A交換回路」 6.1 試験用D。A変換回路、6.2 試験用A。/D変換回路 6.3 データ回路

66 測定データメモリ 69 DSP解析部。

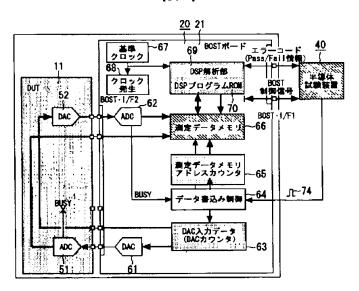








[🗵 6]



# 【手続補正書】

【提出日】平成13年4月3日 (2001.4.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正內容】

【書類名】

明細書

【発明の名称】 半導体集積回路の試験装置<u>および半導</u>

体集積回路の試験方法

【特許請述の範囲】

【請求項1】 アナログ信号とテジタル信号に変換する

A 「D変換回路上」、タル信号をアナコグ信号に変換するD/A変換回路を含んだ被試験半導体集積回路と信号がつり取りを行うように構成されたテスト回路基板、これテスト回路基準の直接に配置されそれに接続されたテスト抽助装置。おいか前記テスト補助装置に接続された試験機を備え、由記され、計算体集積回路のD/A変換回路に供給するテート回路と、このデータ回路からのデジタン試験信号をアリング試験信号に変換して前記被試験半導体集積回路、A 「D変換回路に供給する試験用D/A 変換回路と、前記を試験半導体集積回路のD/A変換

回路のアナログ試験出力を与びタル試験出力に変換する 試験用A/D変換回路と、商記該試験主導体集積回路の A/D変換回路が、ボディン試験出力と前記試験用A /D変換回路がデジタル試験出力を記憶すき測定が、タンは、前記測定が、タン試験出力を記憶された開記音が、アンに記憶された開記音が、アン試験出力を解析する解析である。直記試験機が、力指がに基づいて商記でデタル試験信号・開記ですが、アンは験信号を被試験・導体集積回路にない。面記述定でディティー、記憶さかた各所、アル試験出力を再記解析がによって解析した解析活果を一面記試験機にかえるように構成された。導体集積回路に試験接近

【添れ202】 前部、お薄体集権同路が年達は集権同院が でをすいれて機能で覆いたので、4十時胎がそ後から 端子を導出したモール「準丁」と「て構成され、直記で フト回路器校派にの第一二十型丁」を装着する。と そ石にも語れ項工能載の下導体集種同路の試験装置。

【清 230 3 】 前記中導体集積回路か年導体ウェッに含まれては29 直記・フト回路基板には前記半導体集積回路につ、アフトする複数がプロー・ご記して対けらま満げ取り記載と乗権は監督と試験装置。

【請 1/項4】 前記・2 「補助装置を前記試験用D。A 変換回路「前記試験用A。「D 変換回路と面記測定タータ イモニ 自記解析回銘: 5 搭載した・2 :補助基板を育 していて請す項1 記載) 4 導体集種回路の試験装置。

【清 おゆり】 前記ライ、補助基板が前記サイト回路基板上のプケートに挿入されりようになるがご請わ収4記載の主導体集積២路の試験装置。

【読む項6】 前記サスト補助基板が前記サフト回路基 板に積載されていら請わ項4記載のデ導体集積回路/試 験装置。

【語 おゆう】 前記がスト神助装置が前記サスト回路基板上に直接組付けられている語は項1、とまたは当記載の中導体集積回路の試験装置。

【流力(タ】 前記試験用A。「D 支換回路より下前記被 試験申遺体集積回路のA。 D 支換回路がデルタの試験出 力を出かせて毎に進め信号を出力し、これに基づき、前 記データ回路であるが、アス試験信号が進み、また測定 データスナルのアドレスで進められる情報項1記載と申 導体集積回路の試験装置。

【読む頃り】 前記被試験主導体集積回路のA、DE機 回路ができる公試験出力を出力する毎に前記試験機の進 め信号を指力し、この進く信号に基づき、前記が、2回 第177、でデータル試験信号の進み、まり測定データメデ コング・ファS進めのたて清末項上記載の主導体集積回 路の試験装置。

【講わり10】 アナニュ信号をエッタルが号に復権する 入了10変換回路とデータスが号をアナロで信号に変換 デチリン A 変換回路と含くた被試験 生導体集積回路を誌 無する 平導体集積回路と信号に応り取りを行うデアト回路 基板

の近傍に、デジタル試験信号を発生して前記被試験主導 体集権回路の10/1/1/交換回路に供給する。位立外回路と、 ことが一個国路が今からアル試験信号をプロコー試験 信号に変換して自信とは影響と漢は集積回路のA。「D変換 <u>问题に供給する試験用し、A変換回路性。面影辨試験中</u> <u>導体集積可能でした。A 妥換回路のデジュして試験出りをデ</u> ジタル試験に与こ変換する試験用A。D変換回路と、前 記述試験主導体集積回路のA。1)変換回路のGでです。例 ル試験出力上前記試験用<u>入。D 发棒回路2000</u>几至A 試験 出力を記憶する測定で、タイモ」と、前記測定で、タイ <u>也只是您的人们的</u>是许过,这么这颗的人几个解析了了解 析部とを行むるケスト補助装置を配置し、試験機(小)の 推合工基。在工厂前运行,多多数數据基本的运行也可能 <u>颗结少么自动也就断上算体集和问题了怎么。而是测定了</u> ・一名(サブコに記憶されてデージンタの試験出りを再記解析 <u>部によって解析した解析能果で、重認試験機に与って頂</u> 記據試驗上導來集積回路。同試驗方分,包持律集積回路的 試驗力法。

【結本10.1 12】 市記被試験中海体集積回路公中海体型 中。1136年到17岁2。而記述了自用競基核に設さらかた 複数11795-75的記憶試験中導体集積回路。19.79 上。17試験在97个節尺填上0記載70至導体集積回路公試 驗的法。

【請申項13】 市記元2:辅助装置へ前記試験用D。 A受機回路と可記試験用A。D変換回路と前記測定が、 至くモンと自己解析回路とを搭載したとスト補助基板を 在。このでは一種助基板を削記が2)基板のご管に配 置して試験を行う請求の真1の記載。中華体集積回路と試 験でも

【続わ近14】 前記サクト補助基板へ前記サクト回覧 裁模 ロックケートに挿入されて試験を21人造お項13記 載点上導体集積回路で試験が洗。

【緯パ項15】 前記ケク:補助基板を前記する;回路 基板に積載されて試験キャー語・料項1322載と + 単単体集。 種団路で試験 など。

【基準程度1.6】。前部的1人:通助及微点的部分1.6回路 基权1.12直接用作的3分的运输至至15定约0.1.0。1.1。 电流:1.1122和10半算化生和回路的数额4.2。

【請り項17】 前記試験用A。D変極回路おより前記 被試験主導性集積回路のA。D変極回路から「クリ試験 出力をはずに「予毎に進め信号を出立し、これに基づ 前記でニア回路からので、タル試験信号が進み、また地 定デースタモニのアプロスの進められて試験を行う請す 項10記載の主導体集積回路の試験方法。 【請求項18】 前記被試験半導体集積回路のA TD変換回路がデジタル試験上力を出力する毎に前記試験機・ 無めに号を見りし、1つ無やに号に基づき、前記デース 元度・ハッイマン、試験信号(進み、また制定デーマ・ してログランとが進からまで試験を行っ、造む項1の記載 工程業体集積用第二試験の方

【始即四品的最低源明】

# [+++++]

【産業工作利用が終】これを助け、中華体集権の協の試験 安置<u>から、自主導</u>体集権可能で試験もた。終してエッでは、 原をデースを信号に変換するA。D交換回路と、デース と信号を不生のでは特に変換するD。A 変換回路、をは 、汽車事件集権の第十級験装置まして試験が去に関する ものである。

#### [00002]

【使用の技術】このの操体集構回路の試験装置はからを、単位利益、選手、機能的に、タッム化された複数回路 ・ 15・20 で構成されているは、チャン(料準体集構回路 コーチーン1.8 1 にまたは複数回路のそれぞれ、デック を組み合わせた基成集積回路(デーデット)1.8 1)を し、1 7構成される、ファム1.8 1において一高性能、 高精度のデジタイ回路とアッロク回路を進み合わせた混合化。 の特度のデジタイ回路とアッロク回路を進み合わせた混合化。 コーニをよった導体集積回路に対して試験装置である。 エでの混合化。の対応が進み、試験装置で、よって エでの混合化。の対応が進み、試験装置で、カンデー コートロー・アナム化と導体集積回路に対応する。アタ に提供されている。

【00008】しか。、このイーファ・ゴ・ブデル化生 適体集績回覧に対応するサアドはその高性能仕様に対応 するため、装置が高価格化する傾向にあり、そのような 状況のながで、既存に低速、低精度が、例えばのデック しかしなりに用いく対応がクタを再利用して、アクタが 高価格化を避ける動きも出てきている。

【0004】かから試験接置ででも2次課題が、デジタス信号をデサロで信号に変換するり、A変換回路と、デザリア信号をデジタス信号に変換するA。D変換回路の試験であり、これらい変換回路を含んた半導体集積回路に対する試験装置を如何に低価格で実現するかか課題となっている。

【00005】一般的次至2.7 空心試験環境では、サスタ店部の測定装置から被試験半導体集積回路。DUTがいたり、までの測定経路には、DUT回路基本(DUTが一下)、2、ビルンドでデスタ!DUT間核総合けた後数存在。 その測す発鋭を決したと、サーブ発生。測定構度低度が可原因となり、また後数でDUTを同時に試験するよ。なこのも困難である。また、伝達サイタでは、その速度が無流がで、工使用速度での試験が不可能な点。量産試験での試験時間に増えが懸心される。

アドレフに変換データを収納するためり記憶ま子を設け、D、Aを換したアナロで信号をA、D変換器に入りしての出りを記憶差さに順次格納し、金でいたりできないは、この振力を記憶差さに格納して受換でいたと順次でデタにより込み、ディタで入りでいるし受換がデスとを順次は使用である。17程名されていた。

# [0008]

【発明に解さしようとは日課題】これを明にいいる課題 を改善し、高速度でしたも高精度の即定をより安価にお 現できる主導体集積回路の試験装置をは<u>で試験方法</u>を提 密するものである。

【0009】またこの発明は高速度で、かれ高精度の制定を実現し、伊持で複数と主導体集積回路に対する勘験
全部的に行うこというまで主導体集積回路の減剰設置を 主意影響が力を提発するようである。

# [0010]

【課題を輸わせりたくの手段】で、発展による中導体集 横回路の試験装置は、アナロで信号を行ってい信号に変 機はそA、口変機回路とデジタル信号をアサロで信号に 変換する1)。A関機回路を含んだ被試験主導体集積回路。 、信号CeCの取りを行うように構成されたティー回路基 板」このデスト回路基板の近傍に配置されるれに接続さ えのディー補助装置。よくご正記セクト補助装置に接続 された試験機を備え、前記サブト補助装置は、ガデタル 試験信号を発生して司記技試験半導体集積回路のり、「A 変換回路に供給になった。タ回路としてのケーツ回路から で一般で名詞解信号をできりで試験信号に復構して開設。 被試験沖導体集積回路のA。D変換回路に供給する試験 用り、A変換回路と、前記被試験半導体集積回路のり、 入変換回路が700万円ので試験出力をデッタル試験出力 仁沒換寸予試験用A。D沒換回路上,前記被試験半導体 集積回路のA。「D後換回路からのデノタル試験出力全能 記試験用へ、口受換回路パードデタル試験出力を制度する 制定のトススポート 前に制作され、ススポープには憶され た前記会で、アル試験出力を解析する解析費・を行じ 前記試験機だらの指すに基づして前記がジタム試験信号 とアポロで試験に号を被試験で導体集積回路に与え、前 に測定データイス「に記憶された各ゴジタル試験出力を 前記解析記には、工解析上方解析結果を、前記試驗機に 年えるように構造されたものである。

【0011】またこの発明による半導体集積回路の試験 装置は、前記半導体集積回路の半導体集積回路のにか サールド樹脂で覆いてのモールド樹脂の心複数で場合を 適出したサールド型1(と)で構成され、前記・・1回 短基板で10のサールド型1(を装着する)で、よを有す しものである。

【00十2】またこの発謝による主導は鬼様の勢の試験 装置は、前記主導体集権回路の主導体であった含まれて より、前記デスト回路基板には可記主導体集積回路にロ 、タフトする複数のプローで与設けられたもとでもる

【 0 0 1 3 】またこの発明による主導体集権同路の誘動 装置(は、前部・プト補助装置。可認試験用1)。A 夏極同 総と前記試験用 A 「1 9 極回路と前記制定が、タマチ ・前記解析回路。全搭載、たとスト補助基板を存むさま たである。

【10014】またこの地理に、そ半準体集構の発の試験 装置は、前にいて、補助基板で前はできまり開発基板でで でかっては種点されるようになされなれるである。

【0015】またこの発明によるお真体集積同路の認験 微質は、前記サリト補助基朴の前記サフト同路基地に積 載さ2。「いそものである

【10016】またこの発明による主導体集積回路の試験 装置は、前記サフト連助装置。前記・2十回路基板上に 直接組付けられたものである。

【0017】またことを明による主導体集構回路の試験 装置は、前記試験用A。 巨変検回路よけで前記法試験上 導体集積回路にA。「巨変検回路」が、タル試験出力を出 力する毎に選め信号を出力し、これに基づき、前記の一 と同路からので、タス試験信号が進み、また測定データ チモ・ウアドンでの基められるものである。

【0018】さらにこの金明によう主選体集積回路の試験受機は、開記部試験主導体集積回路のA。[1)変換回路が呼ぶるがはない。 が呼ぶるが誤験出力を出力する時に開設は解機の進め化分を出力し、この単々信号に基づる。前記データ回路については解析等がまな、また測定・バータスモニクでリニュが進められるようである。

出力と前記試験用A 「D変換回路のデジタル試験出力を記憶する側定データメモリ」。可記側定データメモリに記憶された前記各デジタン試験出力を解析する解析部を存するデスト補助表置を配置し、試験機の立つ指示に基づいて前記でデタル試験信号と前記とサログ試験信号を可記被試験差異体集積回路に与し、両記制定データンは範出力を前記解析部によって解析した解析活集を一面記試験機に存立で重記被試験主導体集積回路の試験を行う。

【ロロコロ】また。これを明による事業を集権问题の試験が存在は、前記機試験事業体集権问路が予算体集権问路が で、17をモール上前指で費。これモールで樹脂が必須数 の選ぶを無理したモール上型してであるで、120億円の に100億円には可能では上回路基板のでからまに装着され、減 験点表で

【ロロコ』】また。「一般地による。中華化集制の鑑り、必 脚である。。前におなる地位に着が集成自治の中華体での一定 定する。ではあり、単位という。自然の場合では、それで、後のい でいって、自己が成場を乗り着が集まれる。これにそのでして、 記述をいる。

【0023】また。10金明に15日遺体集積回路の試験の表は、前記で7日補助基板の面記で7日前路基板。 (017年 日本連携されて試験を行う。

【0024】また。こ<u>产金明による中導体集種回路の試</u> 無力がは、前記ディ<u>(補助基板</u>の可能・7)回路基板に 積載されて試験をきた。

【ロロロ 5】 また。「で 発明に ) ち 半導体集積回路の試 <u>脚方法は、前部 2 × 1 補助装置。前記サツ)回路基地に</u> に回る細ませらまで試験を全た。

【0026】また。「Cを思い、「小道体集積回路の試験力力は、前記試験用A」「D支換回路力」で重記被試験 生導体集積回路にA。 D支換回路力デジタム試験出力を お力で多様に進め信号を出力し、これに基づき、前記で 一ク回路に追がでデジタル試験信号が進み。また測定でデ クメチェルアドレック追載がよりで試験を行う。

【ロの27】を151まで、この発理による生導体集権回路の小と15億円は終りはは、再は保証験土等体集権回路のハと15億円機関が15年に正記は緊機が進めませる。15年1月15日により、前記データー回路がロックランタルは懸在分が進み、また制定が一ターモータン、レビスを進かられて試験を行う。

#### [0028]

【実施の別態】実施の別態1. 日1はこの発明による年 導体集積回路の試験装置とそれを使用した試験方法の集 範の形態1の構成を示す図である。(a) 国はデスト回覧場構 D1 Tボート) 部立り 出面日。(i) 国はその 間面区 (c) 国は試験機 ー ユダー部と )構成区でもで、

【10029】この実施の研究1の試験波覚は ・・パーパ 発現板(DUT ボー・・10 ・・パー補助装置(BOS 工装置・20、及び膨大機・ドグラ)40を備えてい こ

【0.0 % 0】テナト回路基板1.0 は、この実施の無態1. では、被試験 科章体集材回路(D.U.T.) 1.1 まって、主います等1.0 である。そいい。型1.0 は土壌体集積回路(L.C. データを2.1 でを4.1 であって、型1.0 ボール・材積にのき複数で滞止を適出したものである。このD.U.T.T.D.F.C.T.C. 例えばフ、セックラン・デ・デ・デーを4.5 プラン・デ・デーが信号をデータが1.5 では、例えばフ、セックのチーで自己が、アタイ信号をデータが1.5 ながに受機する。D.「A 支機器と、アナログ信号をデータが1.5 ながに受機する。D.「A 支機器と、アナログ信号をデータが1.5 ながに発して、アナログ信号をデータが1.5 でも垂直の回路基板とは集積したによって、アナー、アナル提出に最成集積回路、ハイブニード1.0 ま使用でもことのできる。

【0031】サイ、国籍基板10に映試験が導体集欄回 第三DUT)11の端子を挿えすぶわり1(ケケット12 そ有し、その高いに多数の接続端子13号、サフィ用で ドニー・コンデ、サ都14を配置したものである。

【00021】ウィナ回路基板100円部には、サフト・ - 日15分配置されている。このウェッー グ15位。 ウィト回路基板10に接続される多数の接続で、16を 有し、この接続に、16をデリブロリエコトナックトに 心要な信号のウェールを行う。

【0033】サフト補助装置はFOST装置)20はサフト原発基板10つ近傍に配置される。この実施の升速、1では、サフト補助装置20はサフト補助基板21三BOSTが、デ)21上に構成され、このBOSTが一に21はDU上が、F10つには基づのためのファーに17が固定されてより、FOSTが一下21にこのファット17に挿入されるコテクタ22を下面に有し、このコポータ22をデカー17に挿入して、DU下が、よりまに支持され、このファータに17に挿入して、DU下が、よりまに支持され、このファータ、F15人の信号のがカッリが行われる。

【 0 0 3 4 】 B O N T ボートご 1 は、BULL OFF SELF T F P の略称であり、これはデスタ4 0 に体存せず、D U T 内部で自己です。 (B 1 S T - BULL - IN NFLF TEST) を担う … 二 下回野を補助ける D U 年 外部試験補助装置で 基板であり、 A D / D A 測定部ご 3、制御部 こ 4、 D N P 解析部 2 5、 メモテ部 2 6、電源部 2 7 を有してい

【0035】ティタ40はデストルターン発生数(TPG)41、電源部42、ピンエンティロニアご負43を

有し、BOSTボード21に対して。電源電圧Vaを供 むし、BOSTボード21との間でBOSI制御信号4 4をつりまりする。この制御に与44には、デニタ40 いらもO マエボードミキ、Dt エボードエロ マっ指示信 少ださでなり 18008でポート21からディタ40年の アスト解析は果信号も含まれて、ヤスタ40つ。EOS エザーフロイー たりされる ケット解析図 6 70を含む制御信号は4は、サフトプログラスに記述され たデステ信号条件に基づき、アスタルロに円蔵されたで たいいとと、発生器は1により、他の1011111111999 と主副様に、テスルコターに信号したが発生され、後数 1945 () 付付付付に を備えたかくタネの(0) (() かにて、) さきである3.5種 で、BOSTはデージ2.1、DU 1.3。 5-5 1 りに仲継される。 デザードロSTは5-1221ます おさされるケスで解析結果(Parkin)をaril情報に は、アグダ4 000%、エングドロエクス部43位進ん **大してこれによりとロックス部43の利定部にて、テラ** 1、タラ、信号と引起較、判定に基づき、その結果情報 医腺性心理炎

【6006】目21は毎知の用態1における電気回路の構成を1000では、1000円11には、アナロアに 吹きず、1204に最に変換するA、10変換回路5-1上、デ 、1204に動きですので信号に変換するD、1A変換回路5-こと含くでいる。

【0037】BOS上が一十21は、DUT11のA、D支換回路を1に対してアポロで試験信券を供給する試験用り、A支換回路を12、DUT1100」A支換回路を2つ、当でサロで試験出力をがごを不試験用のに変換する試験用力とのごを存し、さらにDAによれが一个回路(DAにカウェア)の3、データ書き込み制御回路の4、測定が一クスモリアドレアカウ、タルラ、地定が一ク・モリカル、基準でローで囲路の7つに、一定を1回路の8、及びDSと解析器の9を有する。DSと解析器の9を有す。

【10008】試験用り、A支換回路61、試験用A。D 変換回路62、DAC人力サータ回路63、ヴータ書き 込み側回回路64、測定データスサービドングウンタ 65は、[4] COD、A A。D測定部23に含まれており、測定データメモル66はメモリ部26に、またDS 上触析部69はDS上解析部25に含まれている。

【003つ】試験用でデジタの試験信号(サイトペータ)(IDAC / カボータ回属り3)に置えられており、ディテ 10からで指令に基づいて、このDAC / カデータ回路りつからでサイトページ(I DET 1 1 CD / A変換回路うごとFOSTボードご1で試験用力。A変換回路の15(供知される、D/A変換回路の1に供知されたデジタル試験信号(デートデータ)はアナロが試験信号で達換されて、DUT 1 1 CA / D変換回路 5 1 でデジタ紹され、このDUT 1 1 CA / D変換回路 5 1 でデジタ

ル試験出力に変換され、測定データメモリららに供給される。一年 DAC3力で一を回路の3つい直接DUT 11のD 「A 変換回路52でサイナで試験出力に変換され、これがBOST1ード21 D試験出入。D変換回路の2によりデデタル試験出力に変換され、これがBOST1ード21 D試験出入。D変換回路の2によりデデタル試験出力に変換され、測定データデザーのには一つをプロして11つA、D変換回路51かに供給される。「D変換回路の2を経て供給されて可ごとない解析した。」「D変換回路の2を経て供給されて可ごとな試験出力とを、順の決められたででに、Cには適する。

【10040】DUT1110A、D関機関第51、EON 1 サーバ21かA、D関機同器の2は、順次でからでは 分をが、タル信号に支機するか。1・の一、タル信号を 発生する毎にBUSY信号を考える別はおかり等。これら のBUSY信号は、ともにBOS1が一き21かのから タ書き込み制御回路の4に他続きれる。ラータ書き込み 制御回路の4に一事論でれたBUSY信号に関いました。 クロ人のデータ回路の3つで、タルタフ、データをデー タ単信毎に約つず、タルデタ、データに順の進め、また 割定が、タスポーツに、タカの、タルをに対しては、連 定等、タスポールのに、アカの、タルをに対しては、連 定等、タスポールのに、アカの、タルをに対しては、連 定等、タスポールのに、アカの、タルをに対しては、連

【10041】このはくに、BUSYにおけます。DACA、サークの開発もまでは、DUT11で複数される所に フルディを行っていか。この進められ、また測定が一て メモニルがは、DU111で変数されたまた測定が一て メモニルがは、DU111で変数されたが、ドキは観 出力を記憶するでは、1の順次進やられる結果、DU1 11では、A、D変換回路51 D、A変換回路52に よいで1度が試験に必要な変換が進められ、その変換された場定で、2の測定が一タブルのに順か記憶されて いっ、お除は、BOSTが一つと1でDSと解析部もり で設定された放発で、一になるまで、変換アフトが進め られ、その結果が測定で、タブルーもあにすって記憶される。

【0042】上記DUT11/A、「O変換回路51 D」「A设換回路52によう変換試験で終了後、BOSTキャリ21上のDS上解析部ののはDSPでは、独定データをエリのM70に記憶されている支換で、タを打造では、A、D変換特性の解析を行う。この解析は、A、D変換特性の解析を行う。この解析は、A、D変換特性の理解を行う。この解析は、A、D変換特性の理解を行う、この変換が性が行う。一次の直線性、積が単直検性誘発などの分割を認み、解析時単三ドイン、イトは:「情報で終日のSTサード21上の第イタイので使い配置である。」とおりUTは、FOの定衡に配置され、DUT1トのA、D変換回路52に変換試験を行う機能を備立ているので、この変換試験はBOSTボード21上で実行することができる。この結果、DUT

ボード10とBONTボード21間のアナロ『測定エラーンを短縮でき 子でによる測定証益の発生を充ったエ 打団 一高精度の試験を実現でき 生せて1001・ デリカに基づき 4 の正停の1005 で、121間の信号のできる。BOS1のデジューとデッタ40との間は、アッツの測定エラテンタな。するエ・・・・・ 試験精度の原立、 デリカシが、また180×1 デージン1 で、 心寒な変極 試験を終了して、 デッタ40にはその活集り近常するので、 実験がデータをデッタ40に近似するものに近い、 実験建度に可止を図ることをできる。

【0044】実施の対態しておいて、DUTTTOA、DQ機同路51、D、AQ機同路52の実施試験機能をおの81等一下21まに配置されるので、サフタ40にはそのなどの大きな機能を任期する必要かな。これだめ、フタ40の商価格化を防ぎ、従来の低速のデフタを適用することが可能となる。なお、特別な測定機能を持て20、ア40を製作する場合、サフター、一下のエア構造による機能状態に対して制度があり、カリー・デルに対象による体をするため、開発ラブ・の廃除するおぞれたをで、実施に批修してよれば、一般的なサブタに標準的に装備されている。と、基種ファタケ様、開設に装置を使けずにおの81等一下の構成、制度を可能であり、各種ファターの適用して応じなる。

【004年】生紀の北地2 日のはこの金剛により生産体集積回路の影響装置とそれを使用した試験方法の国紀 の北地2では、生産の北地1の8万十世面割である。この実施り 北地2では、生産の北地1の8081である。この実施り 北地2では、生産の北地1の8081である。この実施り北地 コポーリ1のの主面に積載されている。この実施の北地 24、ポールの製工導体集積回路が1017年に10年 のプロー112に挿入され、そのA、D変換器41とD 川A逐換器42と試験される。

【0046】同多にはいて、DUITから打10万街出前には、BOSTはつりで15機関され、この裁置部分ではずっり開き接続が行われており、ウクトー・F15との開けに対すのとりに行われる。なお、BOSIでして20元の構造は同1、同じであり、原路構成は同じと同じである。

【 0 0 4 7】 生統で并延3 「日4 は 5 つ発明による主導体集種回館では野装置<u>「それを使用した業勢が失め</u>の実施で併載3 つ D は T 部分で構成を 立て、(a) 同は B O S T ボードで 1 A で 一面[ ・ ・ 日は B O S T 「 F ボッドの 主面 [ ・ ・ 日は B O S T 」 F ボッドの 主面 [ ・ ・ 日は B O S T 」 F ボッドの 主面 [ ・ ・ 「 の R は C T 」 を い 下が は で は、 立 エッ と 財産 い 土 導体集 韓国路 い 試験 対象 ( D U T ) と して用い それ で、 D U T ボード I O A で ローデクードであり、 円形に構成され、 その中心部の 出面に ウエス 1 1 A に対する 多数の プローブ 3 0 を 有する。 この D U T ボード I O A の 上には 接続構体 3 1 を 宜して、 B

のトエーI Fボード3 2が配置され、このBOST I Fボード3 2 Lにはコアクタ3 3 対取り付けられている。BOST 装置2 0 2 構成するBOST デード2 1 A 出目形に構成され。ことBOSTボード2 1 A 上面には、集続に形態1 と同様の「ADデリA制定部23」制御部2 4、子モリ33 2 6。DSP解析部2 5、及予電源部2 7 5配置されている。

【0048】実施の無限はの電製団路の構成は、実施の 発施1の目でと同じでもり、パロッドは08かのに11 Aのサーブ相当部分の多数の場合に移触させて、実施の 発施1と同様の試験がはれる。でい、11Aのサーブ 相当部の気息がです。し、順気障接が立て、で相互部分の 試験を実施する。

【0040】実施で原動は、[45 はこの発明による主導体集種国路の試験装置とデルシ更用し会認識が出から実施の決議を発展します。[4] [4]は側面図

【0050】この実施で無駄4つ原路構成は実験の別態 1の国立人同じであり、同様にしてDV111AのAデ D変換回路31、DNA受換回路32の議験が空間で

【0051】寒地で悪態と、3 47をいても、1808 生装徴とり、または1808 1 デードと1 2 1 AはDU 117 - ド10、10 A 7 と僕に配置され、幻趣の刑態。1 と同様に試験が実施されるって、実施の刑態。1 と同様 に、試験の高精度化、高速化、装置の低価格化を同じて とかできる。

【0052】実施の形態の「同めにこのを期による主導体集積回路の試験装置とプルを使用した影響技法の実施の升起の回路構成をのけてロック目である。この実施の升起のでは、ロじて11/4人で力で物が、このため、ディタ40から11/7分替ティン供給され、データ回路の3のデ、タル単位で進める動作と、測定データイモリののデ、アル単位で進める動作を行わせる。なお、BOSIでデンに構成できるので、このBUSY信号を発生するように構成できるので、このBUSY信号は1・声信号で4と使用できる。その構成は、国でと同じである。

【005日】10個極の判断方においても、デッタ40からBON1機関20に近しされるより力に対するようデッタ40とBON1機関20との間に、これで必要響を受けてすいアナログ信号3を追加するものではない。実施の制態1と同様に、試験の高精度化、高速化を図ることができる。

# [0054]

【発明の効果】以上のようにこの発明は、デスト回覧基板の近係に配置されたデスト補助装置に、データ回覧。試験用A、/ D 受極回転、測定で、タスモリ、およびDSP解析部を設け、このエスト補助装置により、強試験予導体集積回路のA、/ D 受極回転の試験を行うようにしたようでを、A、/ D 受極回転の試験を行うようにしたようである。A、/ D 受極回転の計算な集積回路の試験をある。 、デー、デールタイプの主責な集積回路の試験を一高精度に、高速に行うでき、メラン・作せて試験機関に使価格化を同じてきにできて、

【10055】またいで、回路場板にすいてドイトを装着サラーケー・を装備したものでは、せいみがディーでは 連体集積回路のA、10変換回路、D、Aで換回路の試験を容易に行って大会でき、またアロップがを装備したサフト回路場板を用いたば、ボルーを地位で同様の試験を容易に行ってとかできる。

【1005年】またです。補助製造が、でいり回覧。試験用D、「A、変換回覧・認験用A、D変換回覧と測算でいる。 いまり、DS上解析部を搭載したりフィ補助基板とでは、 等まででは、ティ、補助装置をサスト補助基板とに集中して構成して装置の簡単化を担うことができ、またそう でフト補助基板がクフト回覧基板のファートに挿入される。 そまでではそり組み立てを簡単化でき、またそのフィー 補助基板をででき回覧基板に積載すれば、装置をより簡単化できる。

【1010×7】またアダー補助装置をデター国路基板上に 直接組み付けるようでは、装置の構成を一層簡単化でき と

【10058】また試験用A。D変換回路なよび概試験を導体集積回路のA。D変換回路の主選が信号を発生するもの。試験機のA通ど信号を発生するものでは、進め信号によってが、タイ試験信号を進め、まな地質でデタイモディので、127を進めないら助果的な試験を行うませばできる。

#### 【目前の簡単な説明】

【日1】 この発明による中導体集権回路の試験要置し 乏利の使用した試験が表示実施の判態(をか、 )。。 団はロリエ部ので上面図、(も) 民はその側面目

(1) 国は試験機の構成団。

【目2】 実施で乗穂1で回路構成をおすであって国。

【日3】 この発明による主導体集積同路の試験装置の 実施の形態とのDVT部のご側面刷。

【日44】 この後明による主導体集積同窓と認願要徴と <u>イルを使用した試験で</u>との実施の升機にすう。 (a) 団はBOSTボードの上面団 (b) 国はBOSF I Fボードの上面団 (c) 団はDLTボードの上面団 (1) 国はそれらの側面団

【図3】 この発用による土準体集積回路の試験装置<u>と</u> 全れを使用した試験方法の実施の形態4のDUT部分を 示し、(a)図はその側面図、(b)図は上面図。

【図6】 この発明による半導体集積回路の試験装置と <u>それを使用した試験方法</u>の実施の形態 5 の回路構成を示 すプロック図

# 【符号の説明】

10.10A テスト回路基板 (DUTボード)、 11.11A 被試験半導体集積回路 (DUT)、

フロントページの続き

(72) 発明者 山田 真二

兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダウタシステムエンジニアリング株式会社内

 20 テフト補助装置(BOST装置)、 21,2

 1A テフト補助基板(BOSTボード)、 40

 試験機(ラスタ). 51 被試験半導体集積回路のDA/D変換回路、 52 被試験半導体集積回路のD/A変換回路、 61 試験用D/A変換回路、 63 データ回路、 62 試験用A/D変換回路、 63 データ回路、 66 測定データメモリ、69 DSP解析部。

(72)発明者 船倉 輝彦

東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内

CD02 CE01 CE05 CG01

F ターム(参考) 2G032 AA09 AB01 AC07 AE02 AE10 AF01 AG02 AJ05 AJ07 AK01 AL00 5J022 AA01 AB01 AC03 BA02 BA05